

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237190

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

G11C 15/04

(21)Application number : 2001-031103

(71)Applicant : KAWASAKI MICROELECTRONICS KK

(22)Date of filing : 07.02.2001

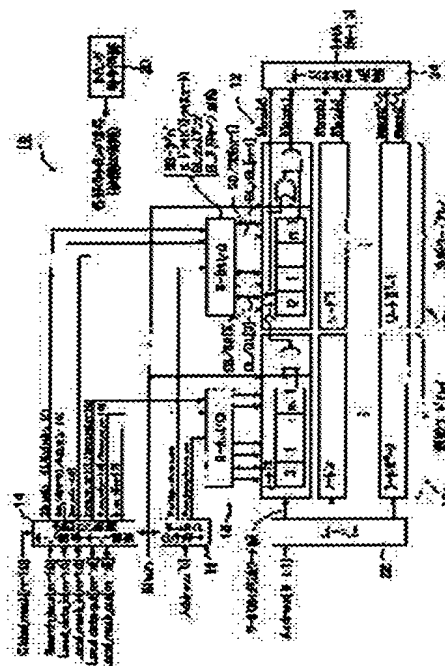
(72)Inventor : HATA RYUICHI

(54) ASSOCIATIVE MEMORY DEVICE AND ITS CONSTITUTING METHOD

(57)Abstract

PROBLEM TO BE SOLVED: To enable setting data to both of binary and ternary notation and to prevent wasting storage bits even when it is used as a binary associative memory device.

SOLUTION: This associative memory device is constituted by using binary CAM cells in which binary data of '0' and '1' can be set. It can be set whether the binary CAM cells are used as a binary CAM cell and the associative memory device is used as binary associative memory device or not, and whether three states of '0', '1', and 'X (don't care)' are allotted to four states of '00', '01', '10' and '11' which can be expressed by data of two bits stored in the binary CAM cell of two bits of each groups making the binary CAM cell of two bits as one group, data of ternary is used as ternary CAM cells being able to set, and the associative memory device is used as a ternary associative memory device or not.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-237190

(P 2 0 0 2 - 2 3 7 1 9 0 A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl. ⁷	識別記号	F I		メモコード (参考)
G11C 15/04	631	G11C 15/04	631 D	
			631 W	

審査請求 未請求 請求項の数 6 O L (全15頁)

(21)出願番号 特願2001-31103(P 2001-31103)

(22)出願日 平成13年2月7日(2001.2.7)

(71)出願人 501285133

川崎マイクロエレクトロニクス株式会社

千葉県千葉市美浜区中瀬一丁目3番地

(72)発明者 旗 竜一

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社東京本社内

(74)代理人 100080159

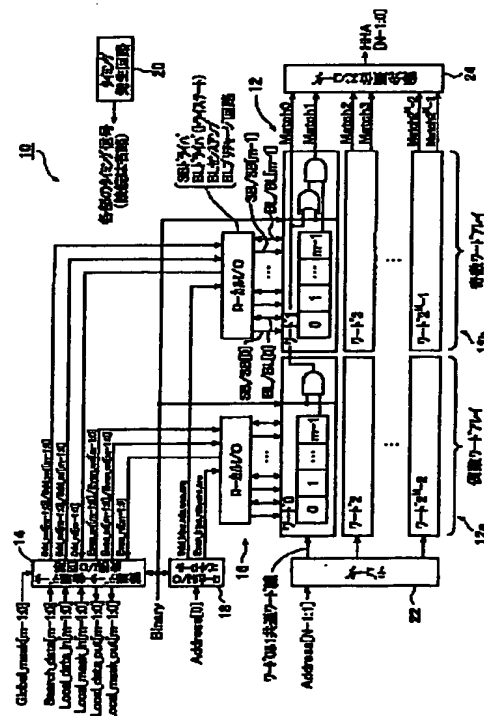
弁理士 渡辺 望稔 (外1名)

(54)【発明の名称】 連想メモリ装置およびその構成方法

(57)【要約】

【課題】 2値／3値のどちらにもデータを設定可能で、2値連想メモリ装置として使用した場合にも記憶ビットが無駄にならないようにする。

【解決手段】 本発明の連想メモリ装置は、'0'および'1'の2値のデータを設定可能な2値CAMセルを用いて構成され、2値CAMセルを2値CAMセルとして使用し、当該連想メモリ装置を2値連想メモリ装置として使用するか、2ビット分の2値CAMセルを1組として、各々の組の2ビット分の2値CAMセルに記憶された2ビットのデータで表現可能な'00'、'01'、'10'および'11'の4つの状態に、'0'、'1'および'X(ドントケア)'の3つの状態を割り当て、3値のデータを設定可能な3値CAMセルとして使用し、当該連想メモリ装置を3値連想メモリ装置として使用するかを設定可能に構成されている。



【特許請求の範囲】

【請求項1】 ‘0’ および ‘1’ の2値のデータを設定可能な2値CAMセルを用いて構成された連想メモリ装置であって、

前記2値CAMセルを2値CAMセルとして使用し、当該連想メモリ装置を2値連想メモリ装置として使用する

か、
2ビット分の前記2値CAMセルを1組として、各々の組の2ビット分の2値CAMセルに記憶された2ビットのデータで表現可能な ‘00’、 ‘01’、 ‘10’ および ‘11’ の4つの状態に、 ‘0’、 ‘1’ および ‘X (ドントケア)’ の3つの状態を割り当て、3値のデータを設定可能な3値CAMセルとして使用し、当該連想メモリ装置を3値連想メモリ装置として使用するかを設定可能に構成されていることを特徴とする連想メモリ装置。

【請求項2】 前記2ビット分の2値CAMセルは、異なる2つのCAMワードに含まれるCAMセルの組合せであることを特徴とする請求項1に記載の連想メモリ装置。

【請求項3】 前記2ビット分の2値CAMセルは、同一CAMワードに含まれるCAMセルの組合せであることを特徴とする請求項1に記載の連想メモリ装置。

【請求項4】 一致検索時に、前記2ビット分の2値CAMセルの内の一方の2値CAMセル用の検索データ用のビット線対と他方の2値CAMセル用の検索データ用のビット線対とを別々に制御することを特徴とする請求項1～3のいずれかに記載の連想メモリ装置。

【請求項5】 当該連想メモリ装置を3値の連想メモリ装置として使用する場合に、記憶データ、マスクデータ（ローカルマスク）および検索データに対して、外部データ（論理データ）と内部データ（物理データ）とでデータの変換処理を行うことを特徴とする請求項1～4のいずれかに記載の連想メモリ装置。

【請求項6】 ‘0’ および ‘1’ の2値のデータを設定可能な2値CAMセルを用いて構成された連想メモリ装置において、

2ビット分の前記2値CAMセルを1組として、各々の組の2ビット分の2値CAMセルに記憶された2ビットのデータで表現可能な ‘00’、 ‘01’、 ‘10’ および ‘11’ の4つの状態に、 ‘0’、 ‘1’ および ‘X (ドントケア)’ の3つの状態を割り当て、3値のデータを設定可能な3値CAMセルの機能を実現することを特徴とする連想メモリ装置の構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、 ‘0’ および ‘1’ の2値のデータを設定可能な連想メモリ装置としても、これに加えて ‘X (ドントケア)’ を含む3値のデータを設定可能な連想メモリ装置としても使用可能な

連想メモリ装置およびその構成方法に関するものである。

【0002】

【従来の技術】 近年、インターネットの発展により、例えばスイッチングハブやルータ等のネットワークを構築する中継装置に対して、高速性、高機能が要求されるようになってきている。このような要求に対応するために、これらの装置では、例えばアドレスフィルタリング、パケットの分類処理（クラシフィケーション）等の処理に連想メモリ（CAM: Content Addressable Memory）装置を使用することが多くなってきた。

【0003】 CAM装置は、ネットワークのOSI (Open Systems Interconnection) モデルのレイヤー2, 3, 4の各レイヤーでも使用されることが多い。この場合、検索キーデータの長さは32～256ビット以上まで様々であり、CAMの機能としては、従来の ‘0’ と ‘1’ のみのデータを持つ2値 (Binary) CAMの構成で十分なものや、これに加えて ‘X (Don't care)’ のデータを持つ3値 (Ternary) CAM構成の機能が必要なものもある。

【0004】 以下、従来の2値および3値のデータを設定可能なCAM装置（以下、単に2値および3値のCAM装置という）について説明する。

【0005】 図10は、従来のCAM装置の一実施例の構成概念図である。同図に示すCAM装置90は、mビット幅×nワード構成のCAMメモリアレイ92と、書込データ、読出データおよび検索データをドライブするI/O（入出力）回路94と、アドレス信号ADRをデコードし、これに対応したCAMワードを指定するデコーダ96と、優先順位に従って、一致の検出されたCAMワードのアドレスをエンコードして出力する優先順位エンコーダ98とを備えている。

【0006】 図示例のCAM装置90において、データの書き込み時には、デコーダ96によりアドレス信号ADRに対応するワードが選択され、I/O回路94により、外部から入力される書込データが、デコーダ96により選択されたCAMワードに記憶データとして書き込まれる。一方、読み出し時には、デコーダ96により選択されたCAMワードから記憶データが読み出され、I/O回路94により、読出データとして外部へ出力される。

【0007】 また、検索データと記憶データとの一致検索時には、外部から入力される検索データがI/O回路94によりドライブされ、全てのCAMワードで同時に検索データと記憶データとの一致検索が行われる。各々のCAMワードでの検索結果は、一致線を介して優先順位エンコーダ98へ入力され、所定の優先順位に従って、一致が検出されたCAMワードのメモリアドレスが最優先順位ヒットアドレス（HHA）として順次出力される。

【0008】ここで、2値のCAM装置はCAMセルが2値CAMセルにより構成され、3値のCAM装置はCAMセルが3値CAMセルにより構成されている。

【0009】まず、図11は、従来のCAM装置で用いられる2値CAMセルの一例の構成回路図である。同図に示す2値CAMセル100は、'0'または'1'の1ビットのデータ（記憶データ）を記憶するデータ記憶部102と、このデータ記憶部102に保持されている記憶データとCAM装置の外部から入力される検索データとを比較して、その一致検出結果を出力する一致比較部104とから構成されている。

【0010】ここで、データ記憶部102は、従来公知のスタティックRAM（SRAM）構成のもので、2つのインバータ46a、46bと、2つのN型MOSトランジスタ（以下、NMOSという）48a、48bとから構成されている。2つのインバータ46a、46bは、それぞれの出力端子が他方の入力端子に接続されている。2つのNMOS48a、48bは、それぞれビット線BLおよびビットバー線／BLと2つのインバータ46a、46bの入力端子との間に接続され、そのゲートにはワード線WLが共通に接続されている。

【0011】また、一致比較部104は、4つのNMOS50a、50bおよび52a、52bから構成されている。NMOS50a、52aは、一致線MLとグラウンドとの間に直列に接続され、そのゲートには、それぞれインバータ46bの出力端子（D）およびビット線BLが接続されている。また、NMOS50b、52bも、一致線MLとグラウンドとの間に直列に接続され、そのゲートには、それぞれインバータ46aの出力端子（／D）およびビットバー線／BLが接続されている。

【0012】この2値CAMセル100を用いて構成された2値のCAM装置において、一致検索は、ビット線BLおよびビットバー線／BLをローレベルとしてNMOS52a、52bをオフし、一致線MLを電源電位にプリチャージした後、検索データをビットバー線／BLに、また、検索データバーをビット線BLにドライブすることにより行われる。

【0013】この時、記憶データと検索データとが一致していれば、記憶データに応じてオンしているNMOS50aまたは50bに直列に接続されたNMOS52aまたは52bがオフするため、一致線MLはプリチャージされた状態を保持する。これに対し、不一致であれば、NMOS52aまたは52bがオンするため、両方がオンしたNMOS50a、52aまたは50b、52bを介して一致線MLはディスチャージされる。

【0014】一方、図12は、従来のCAM装置で用いられる3値CAMセルの一例の構成回路図である。この3値CAMセル106は、前述の2値CAMセル100と同じ構成のデータ記憶部102と、このデータ記憶部102に保持されている記憶データと検索データとの一

致検索をマスクするマスク記憶部108と、このマスク記憶部108によりマスクされていないデータ記憶部102の記憶データと検索データとを比較して、その一致検出結果を出力する一致比較部110とから構成されている。

【0015】ここで、マスク記憶部108は、データ記憶部102と同じSRAM構成のもので、2つのインバータ112a、112bと、2つのNMOS114a、114bとから構成されている。

【0016】また、一致比較部110は、図11に示すCAMセル100の一致比較部104において、さらにNMOS116を備える構成である。このNMOS116は、一致線MLとNMOS50a、50bのドレインとの間に接続され、そのゲートには、マスク記憶部108のインバータ112aの出力端子（／M）に接続されている。

【0017】この3値CAMセル106を用いて構成された3値のCAM装置での一致検索の動作は、マスクデータMとして、マスク記憶部108に'0'が記憶された場合、前述の2値CAMセル100を用いて構成された2値のCAM装置の場合と同じである。一方、マスクデータMとしてマスク記憶部108に'1'が記憶された場合、一致比較部110のNMOS116はオフするため、記憶データの状態に係わらず、一致線MLはハイレベル、すなわち、常に一致の状態を維持する。

【0018】このように、3値CAMセル106を用いて構成されたCAM装置では、各々のワードを構成する各ビットのCAMセル毎に独立にドントケアを設定し、一致検索の機能をマスクすることができる。この機能をローカルマスクという。これに対し、CAM装置では、全てのCAMワードの同一ビットにわたって、一致検索の機能をマスクする機能を備えるものが従来公知である。この機能をグローバルマスクという。

【0019】

【発明が解決しようとする課題】ところで、上記のような構成の従来技術による2値CAM装置では、記憶データとしてドントケアを指定することができないため、これを3値CAM装置として使用することはできない。

【0020】また、従来の3値のCAM装置を2値のCAM装置として使用する場合、ドントケアを指定するためのマスクデータを全てマスクなしの状態に設定してやればよいが、この場合、2値のCAM装置としては不要なマスクビットを持つため、ビットコストの増大をもたらす。また、2値のCAM装置では、1回で済むデータの書き込み動作をデータ記憶部とマスク記憶部との2回行わなければならないという問題もあった。

【0021】本発明の目的は、前記従来技術に基づく問題点を解消し、2値／3値のどちらにもデータを設定可能で、2値連想メモリ装置として使用した場合にも記憶ビットを無駄にすることのない連想メモリ装置およびそ

の構成方法を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明は、'0' および '1' の 2 値のデータを設定可能な 2 値 CAM セルを用いて構成された連想メモリ装置であって、前記 2 値 CAM セルを 2 値 CAM セルとして使用し、当該連想メモリ装置を 2 値連想メモリ装置として使用するか、2 ビット分の前記 2 値 CAM セルを 1 組として、各々の組の 2 ビット分の 2 値 CAM セルに記憶された 2 ビットのデータで表現可能な '00'、

10 '01'、'10' および '11' の 4 つの状態に、

'0'、'1' および 'X (ドントケア)' の 3 つの状態を割り当て、3 値のデータを設定可能な 3 値 CAM セルとして使用し、当該連想メモリ装置を 3 値連想メモリ装置として使用するかを設定可能に構成されていることを特徴とする連想メモリ装置を提供するものである。

【0023】ここで、前記 2 ビット分の 2 値 CAM セルは、異なる 2 つの CAM ワードに含まれる CAM セルの組合せや、同一 CAM ワードに含まれる CAM セルの組合せであるのが好ましい。

【0024】また、一致検索時に、前記 2 ビット分の 2 値 CAM セルの内の一方の 2 値 CAM セル用の検索データ用のビット線対と他方の 2 値 CAM セル用の検索データ用のビット線対とを別々に制御するのが好ましい。

【0025】また、当該連想メモリ装置を 3 値の連想メモリ装置として使用する場合に、記憶データ、マスクデータ (ローカルマスク) および検索データに対して、外部データ (論理データ) と内部データ (物理データ) とでデータの変換処理を行うのが好ましい。

【0026】また、本発明は、'0' および '1' の 2 値のデータを設定可能な 2 値 CAM セルを用いて構成された連想メモリ装置において、2 ビット分の前記 2 値 CAM セルを 1 組として、各々の組の 2 ビット分の 2 値 CAM セルに記憶された 2 ビットのデータで表現可能な '00'、'01'、'10' および '11' の 4 つの状態に、'0'、'1' および 'X (ドントケア)' の 3 つの状態を割り当て、3 値のデータを設定可能な 3 値 CAM セルの機能を実現することを特徴とする連想メモリ装置の構成方法を提供する。

【0027】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の連想メモリ装置およびその構成方法を詳細に説明する。

【0028】図 1 は、本発明の連想メモリ装置の一実施例の構成概略図である。同図に示す連想メモリ (以下、CAM という) 装置 10 は、2 値/3 値のどちらの CAM 装置としても利用可能なもので、CAM メモリアレイ 12 と、論理データ-物理データ変換 I/O 回路 14 と、ローカル I/O (入出力) 16 と、ローカル I/O コントロール回路 18 と、タイミング発生回路 20 と、

デコーダ 22 と、優先順位エンコーダ 24 とを備えている。

【0029】ここで、CAM 装置 10 を 2 値の CAM 装置として使用するか、3 値の CAM 装置として使用するかは信号 Binary により決定される。この信号 Binary は、CAM 装置 10 の外部から直接、あるいは、CAM 装置 10 内部のレジスタ等から供給される。CAM 装置 10 は、本実施例では、信号 Binary = 1 の場合、2 値の CAM 装置として機能し、信号 Binary = 0 の場合、3 値の CAM 装置として機能する。

【0030】本発明の CAM 装置 10 を 2 値の CAM 装置として使用する場合、CAM 装置 10 は、例えば図 11 に示す 2 値 CAM セル 100 を用いて構成された従来の 2 値の CAM 装置と同じように動作する。

【0031】また、CAM 装置 10 を 3 値の CAM 装置として使用する場合、CAM 装置 10 は、2 ビット分の 2 値 CAM セルを 1 組として、各々の組の 2 ビット分の 2 値 CAM セルに記憶された 2 ビットのデータで表現可能な '00'、'01'、'10' および '11' の 4

20 つの状態に、'0'、'1' および 'X (ドントケア)' の 3 つの状態を割り当て、3 値のデータを設定可能な 3 値 CAM セルとして使用することにより、例えば図 12 に示す 3 値 CAM セル 106 を用いて構成された従来の 3 値の CAM 装置と同じように動作する。

【0032】図示例の連想メモリ 10 において、まず、CAM メモリアレイ 12 は、連続したアドレス 0, 1, 2, ..., $2^i - 1$ で指定される 2^i 個の CAM ワードを備えている。本実施例では、CAM メモリアレイ 12 の内、偶数アドレス 0, 2, 4, ..., $2^i - 2$ で指定される 2^{i-1} 個の CAM ワードからなる部分を偶数ワードアレイ 12a、奇数アドレス 1, 3, 5, ..., $2^i - 1$ で指定される 2^{i-1} 個の CAM ワードからなる部分を奇数ワードアレイ 12b とする。

【0033】偶数ワードアレイ 12a に含まれるそれぞれの CAM ワードとこれに対応する奇数ワードアレイ 12b に含まれるそれぞれの CAM ワードとは対 (ペア) を構成する。例えば、偶数ワードアレイに含まれる CAM ワード 0 と奇数ワードアレイに含まれる CAM ワード 1 とはペアを構成する。また、CAM メモリアレイ 12

30 に含まれるそれぞれの CAM ワードは、m ビット幅の 2 値 CAM セルから構成されている。

【0034】図 2 は、本発明の連想メモリ装置で用いられる CAM ワード対の一実施例の構成概略図である。同図に示す CAM ワード対 26 は、偶数ワードアレイ 12a に含まれる 1 ワード分の CAM ワード (図 1 の CAM ワード 0) (以下、偶数 CAM ワードという) 28 と、これに対応する奇数ワードアレイ 12b に含まれる 1 ワード分の CAM ワード (図 1 の CAM ワード 1) (以下、奇数 CAM ワードという) 30 とを組み合わせる 3

40 値 CAM セルの機能を実現するものである。

【0035】なお、図2では、紙面の都合上、偶数CAMワード28および奇数CAMワード30を上下方向に配置しているが、図示例のCAM装置10では、記憶データ用のビット線対BL、/BLおよび検索データ用のビット線対SB、/SBを、偶数CAMワード28と奇数CAMワード30とで独立に制御する必要があるため、図1に示すように、レイアウトの配線効率の面からは、偶数CAMワード28および奇数CAMワード30を左右方向に配置するのが好ましい。

【0036】図示例のCAMワード対26は、偶数CAMワード28および奇数CAMワード30の他、制御回路32を含んでいる。この制御回路32は、このCAM装置10を2値のCAM装置として使用するか、3値のCAM装置として使用するかを指示する信号Binaryに応じて、偶数CAMワード28および奇数CAMワード30の一致線出力を制御するもので、図示例の場合、ANDゲート34と、ORゲート36と、ANDゲート38とから構成されている。

【0037】ここで、ANDゲート34およびORゲート36には、信号Binaryおよび偶数CAMワード28の一致線出力ML_0が共通に入力され、ANDゲート34からは一致線出力Match_0が出力されている。また、ANDゲート38には、ORゲート36の出力および奇数CAMワード30の一致線出力ML_1が入力され、ANDゲート38からは、一致線出力Match_1が出力されている。

【0038】図3は、本発明の連想メモリ装置で用いられる2値CAMセルの一実施例の構成回路図である。この2値CAMセル40は、図11に示す2値CAMセル100において、記憶データと検索データとで共用されていたビット線対BL、/BLを、記憶データ用のビット線対BL、/BLと、検索データ用のビット線対SB、/SBとに分離したものであるから、同一の構成要件には同一符号を付し、その詳細な説明は省略する。

【0039】この2値CAMセル40は、ビット線対を記憶データ用と検索データ用とに分離しているので、図11に示す2値CAMセル100よりも高速で、低消費電力である等の利点がある。なお、本発明のCAM装置では、図3や図11に示すCAMセル40、100の他、従来公知の構成のCAMセルはどれも利用可能である。すなわち、本発明のCAM装置で利用可能なCAMセルは、2値CAMセルであればよく、そのデータ記憶部42および一致比較部44の構成も何ら限定されない。

【0040】CAM装置10が2値のCAM装置として使用される場合、偶数CAMワード28および奇数CAMワード30はそれぞれ独立に2値CAMワードとして使用される。これに対し、CAM装置10が3値のCAM装置として使用される場合、偶数CAMワード28の各々のCAMセル40と、これに対応する奇数CAM

ワード30の各々のCAMセル40とが対(ペア)を構成し、2ビット分の2値CAMセルを3値CAMセルとして使用する。

【0041】すなわち、2ビット分の2値CAMセル40に設定可能な記憶データの4つの状態00、01、10、11の内の3つの状態を使用して、3値CAMセルの0、1、X(ドントケア)の各状態を割り当てる。例えば、本実施例では、2ビット分の2値CAMセルの00が3値CAMセルの0、11が3値CAMセルの1、10が3値CAMセルのドントケアを表す。なお、3値CAMセルの0、1、Xを2値CAMセルのどの状態に割り当てるかは何ら限定されない。

【0042】また、本実施例では、CAM装置10を3値のCAM装置として使用する場合、各々のCAMワード対26において、偶数CAMワード28に含まれる各CAMセル0、1、2、…、m-1と奇数CAMワード30に含まれる各CAMセル0、1、2、…、m-1とを対応させて対を構成しているが、これも限定されず、偶数CAMワード28に含まれるCAMセルと奇数CAMワード30に含まれるCAMセルとをどのように組み合わせてもよい。

【0043】以下、図4に示す対応表を参照しながら、2値CAMセルをそのまま2値CAMセルとして使用する場合、ならびに、2ビット分の2値CAMセルを組み合わせさせて3値CAMセルとして使用する場合について説明する。

【0044】まず、図4(a)は、CAM装置を2値のCAM装置として使用した場合の、外部の記憶データと内部の記憶データ(記憶セルデータ)との関係、および、検索データと検索データ用のビット線対との関係を表す対応表である。

【0045】CAM装置10を2値のCAM装置として使用した場合(信号Binary=1)、図2に示すCAMワード対26において、制御回路32のANDゲート34、38からは、一致線出力Match_0、Match_1として、それぞれ偶数CAMワード28の一致線出力ML_0および奇数CAMワード30の一致線出力ML_1が出力され、偶数CAMワード28および奇数CAMワード30は1ワードずつ独立に機能する。

【0046】すなわち、図4(a)の対応表に示すように、従来の2値のCAM装置の場合と全く同様に、外部からCAM装置10の所定のCAMワードへ記憶データとして0を書き込む場合、記憶データとして0が入力され、これがそのままCAMセルデータとしてCAMワードに書き込まれる。記憶データとして1を書き込む場合も同じである。

【0047】また、CAMワードから記憶セルデータとして0が読み出されると、これもそのままCAM装置10の外部へ記憶データとして出力される。記憶セルデータとして1が読み出される場合も同じである。

10

20

30

40

50

【0048】また、検索データとして0が入力されると、CAMメモリアレイ12の全ての検索データ用のビット線対SB、/SBはそれぞれ0、1にドライブ（0ドライブ）される。同じく、検索データとして1が入力されると、検索データ用のビット線対SB、/SBはそれぞれ1、0にドライブ（1ドライブ）される。また、ドントケア（グローバルマスク）が設定されると、検索データ用のビット線対SB、/SBは共に0にドライブされる。

【0049】一方、図4（b）は、CAM装置を3値のCAM装置として使用した場合の、外部の記憶データと、例えば図12に示す3値CAMセルを用いて構成された従来の3値のCAM装置において、記憶データとして0、1、X（ドントケア）を書き込む場合に入力される記憶セルデータおよびマスクセルデータ（論理データ）と、内部の記憶データ（物理データ）との関係、ならびに、検索データと検索データ用のビット線対（偶数ワードおよび奇数ワード）との関係を表す対応表である。

【0050】CAM装置10を3値のCAM装置として使用した場合（信号Binary=0）、図2に示すCAMワード対26において、制御回路32のANDゲート34からは、一致線出力Match_0として常にロウレベルが出力され、常時不一致が検出された状態とされる。また、ANDゲート38からは、一致線出力Match_1として、偶数CAMワード28の一致線出力ML_0および奇数CAMワード30の一致線出力ML_1の論理積が出力される。

【0051】すなわち、CAM装置10を3値のCAM装置として使用する場合、偶数CAMワード28と奇数CAMワード30のAND検索が行われる。また、本実施例の場合、奇数CAMワード30がこのCAMワード対26の代表ワードとなる。なお、代表ワードはどちらにしてもよい。従って、CAMワード対26で1ワード分の3値CAMワードとして機能するので、ワード数は、CAM装置10を2値のCAM装置として使用した場合の半分になる。

【0052】図4（b）の対応表に示すように、記憶データとして0を書き込む場合、例えば図12に示す3値CAMセルを用いて構成された従来の3値のCAM装置では、論理データとして0、0が入力される。この0、0は、図12に示す3値CAMセル106に設定される記憶データとマスクデータに相当するものである。本発明のCAM装置10の内部では、論理データとして0、0が入力されると、記憶データとして、偶数CAMワードおよび奇数CAMワード共に0が書き込まれる。

【0053】また、記憶データとして1を書き込む場合、同じく従来の3値のCAM装置では、論理データとして1、0が入力される。本発明のCAM装置10の内部では、論理データとして1、0が入力されると、記憶

データとして、偶数CAMワードおよび奇数CAMワード共に1が書き込まれる。

【0054】また、記憶データとしてドントケアを設定する場合、同じく従来の3値のCAM装置では、論理データとしてX（不定）、1が入力される。ここで、X（不定）は、0または1のどちらでもよいという意味である。本発明のCAM装置10の内部では、論理データとしてX、1が入力されると、記憶データとして、偶数CAMワードに1、奇数CAMワードに0が書き込まれる。

【0055】また、記憶データとして、偶数CAMワード28および奇数CAMワード30から0、0が読み出されると、論理データとして0、0が出力され、外部では、記憶データとして0が読み出されたものと判断される。

【0056】また、偶数CAMワード28および奇数CAMワード30から1、1が読み出されると、論理データとして1、0が出力され、記憶データとして1が読み出されたものと判断される。

【0057】偶数CAMワード28および奇数CAMワード30から1、0が読み出されると、論理データとして、X（不定）、1が出力され、記憶データはドントケアであると判断される。

【0058】また、検索データとして0が入力されると、奇数CAMワード30の検索データ用のビット線対SB、/SBだけがそれぞれ0、1にドライブ（0ドライブ）される。この時、偶数CAMワード28の検索データ用のビット線対SB、/SBは0、0にドライブ（ドントケア）され、常に一致が検出される。従って、検索データとして0が入力された場合、一致が検出されるのは、記憶データとして0およびXが設定されている場合である。

【0059】また、検索データとして1が入力されると、偶数CAMワード28の検索データ用のビット線対SB、/SBだけがそれぞれ1、0にドライブ（1ドライブ）される。この時、奇数CAMワード30の検索データ用のビット線対SB、/SBは0、0にドライブ（ドントケア）され、常に一致が検出される。従って、検索データとして1が入力された場合、一致が検出されるのは、記憶データとして1およびXが設定されている場合である。

【0060】また、ドントケア（グローバルマスク）が設定されると、偶数CAMワード28および奇数CAMワード30の検索データ用のビット線対SB、/SBは全て0、0にドライブされる。

【0061】CAM装置10を3値のCAM装置として使用した場合に、外部（論理データ）と内部（物理データ）との間の記憶データおよび検索データの変換は、図1に示す論理データー物理データ変換I/O回路14により行われる。

【0062】論理データ-物理データ変換I/O回路14は、このCAM装置10を3値のCAM装置として使用する場合に、記憶データ、マスクデータ、検索データ等について、論理データ（外部データ）と物理データ（内部データ）とでデータの変換処理を行う。また、本実施例では、論理データ-物理データ変換I/O回路14は、外部からこのCAM装置10に対して入力される記憶データおよび検索データの書き込みのマスク処理も併せて行う。

【0063】ここで、信号Global_mask[m-1:0]は、外部からCAM装置10に対して入力されるグローバルマスクであって、記憶データおよび検索データの書き込みをマスクする。この信号Global_mask[m-1:0]によりマスクされたビットは、全てのCAMワードの同一ビットに対して有効であり、記憶データの場合にはマスクされたビットはCAMワードに書き込まれず、検索データの場合にはドントケアとなり、常に一致が検出される。

【0064】信号Search_data[m-1:0]は、外部からCAM装置10に対して入力される検索データである。

【0065】信号Local_data_in[m-1:0]は、外部からCAM装置10に対して入力される（書き込まれる）記憶データ、信号Local_data_out[m-1:0]は、CAM装置10から外部へ出力される（読み出される）記憶データである。

【0066】信号Local_mask_in[m-1:0]は、このCAM装置10を3値のCAM装置として使用する場合に、外部からCAM装置10に対して入力されるマスクデータ、信号Local_mask_out[m-1:0]は、このCAM装置10を3値のCAM装置として使用する場合に、このCAM装置10から外部へ出力されるマスクデータである。このマスクデータは、グローバルマスクに対してローカルマスクという。

【0067】信号Even_wd[m-1:0]、/Even_wd[m-1:0]は、偶数ワードアレイ12a用の記憶データの書き込みデータ、信号Even_sd[m-1:0]、/Even_sd[m-1:0]は、偶数ワードアレイ12a用の検索データの書き込みデータである。これらの書き込みデータは、いずれも論理データ-物理データ変換I/O回路14から出力され、偶数ワードアレイ12a用のローカルI/Oへ入力される。

【0068】また、信号Even_rd[m-1:0]は、偶数ワードアレイ12a用の記憶データの読み出しデータあり、偶数ワードアレイ12a用のローカルI/Oから出力され、論理データ-物理データ変換I/O回路14へ入力される。

【0069】信号Odd_wd[m-1:0]、/Od

d_wd[m-1:0]は、奇数ワードアレイ用の記憶データの書き込みデータ、信号Odd_sd[m-1:0]、/Odd_sd[m-1:0]は、奇数ワードアレイ用の検索データの書き込みデータである。これらの書き込みデータは、いずれも論理データ-物理データ変換I/O回路14から出力され、奇数ワードアレイ12b用のローカルI/Oへ入力される。

【0070】また、信号Odd_rd[m-1:0]は、奇数ワードアレイ用の記憶データの読み出しデータであり、奇数ワードアレイ12b用のローカルI/Oから出力され、論理データ-物理データ変換I/O回路14へ入力される。

【0071】従来のCAM装置では、CAMメモリアレイに含まれる全てのCAMワードが同時に制御されるため、記憶データ、マスクデータおよび検索データについて、外部データ（論理データ）と内部データ（物理データ）とでデータの変換処理を行う必要はない。すなわち、CAM装置の外部からCAM装置へ入力される外部データはCAM装置内部へそのまま入力され、CAM装置の内部データもそのままCAM装置の外部へ出力される。

【0072】ところで、本発明のCAM装置10を2値のCAM装置として使用する場合、例えば図11に示す2値CAMセル100を用いて構成された2値のCAM装置と同じ使用方法で使用可能であるのが好ましい。また同様に、本発明のCAM装置10を3値のCAM装置として使用する場合、例えば図12に示す3値CAMセル106を用いて構成された3値のCAM装置と同じ使用方法で使用可能であるのが好ましい。

【0073】しかし、本発明のCAM装置10では、CAMメモリアレイ12が2つのブロック、本実施例の場合、偶数ワードアレイ12aおよび奇数ワードアレイ12bに分割され、それぞれ個別に制御する必要があるし、本発明のCAM装置10を3値のCAM装置として使用する場合、2ビットのCAMセルを組み合わせる3値CAMセルと同等の機能を実現するため、外部データと内部データとでデータの変換処理を行う必要がある。

【0074】図5は、本発明の連想メモリ装置で用いられる論理データ-物理データ変換I/O回路の一実施例の構成回路図である。同図に示す論理データ-物理データ変換I/O回路14は、図4に示す対応表に従って、記憶データ（書き込みデータおよび読み出しデータ）、マスクデータおよび検索データの変換を行うもので、記憶データ（書き込みデータ）用回路54と、検索データ用回路56と、記憶データ（読み出しデータ）用回路58とを備えている。

【0075】記憶データ（書き込みデータ）用回路54は、信号Binaryに応じて、外部から入力される信号Local_data_in[i]および信号Local_mask_in[i]を、内部で使用する信号E

ven_wd[i], /Even_wd[i] および信号Odd_wd[i], /Odd_wd[i] に変換するもので、ANDゲート60と、2つのセクタ62a, 62bと、4つのORゲート64a, 64b, 64c, 64dとから構成されている。

【0076】ANDゲート60には、その第1の入力端子に信号Local_mask_in[i]、その第2の入力端子（反転入力）に信号Binaryがそれぞれ入力され、その出力はセクタ62a, 62bの選択端子に入力されている。セクタ62a, 62bの端子D0には共に信号Local_data_in[i] が入力され、その端子D1にはそれぞれ1（ハイレベル）および0（ロウレベル）が入力されている。

【0077】セクタ62aの出力は、ORゲート64aの第1の入力端子およびORゲート64bの第1の入力端子（反転入力）に入力され、セクタ62bの出力は、ORゲート64cの第1の入力端子およびORゲート64dの第1の入力端子（反転入力）に入力されている。ORゲート64a, 64b, 64c, 64dの第2の入力端子には信号Global_mask[i] が共通に入力され、ORゲート64a, 64b, 64c, 64dからは、それぞれ信号Even_wd[i], /Even_wd[i] および信号Odd_wd[i], /Odd_wd[i] が出力されている。

【0078】記憶データ（書き込みデータ）用回路54では、信号Global_mask[i] = 1の場合、すなわち、グローバルマスクが指示された場合には、無条件に、ORゲート64a, 64b, 64c, 64dの出力は1、すなわち、信号Even_wd[i], /Even_wd[i] および信号Odd_wd[i], /Odd_wd[i] は全てハイレベルとなり、記憶データの書き込みがマスクされる。

【0079】信号Global_mask[i] = 0で、信号Binary = 1の場合、すなわち、グローバルマスクが指定されておらず、CAM装置10を2値のCAM装置として使用する場合、ANDゲート60の出力は0となる。

【0080】これにより、セクタ62a, 62bからは信号Local_data_in[i] が出力され、信号Even_wd[i] および信号Odd_wd[i] は信号Local_data_in[i] と同じレベル、信号/Even_wd[i] および信号/Odd_wd[i] は信号Local_data_in[i] の反対のレベルになる。すなわち、外部から入力される記憶データは、そのままアドレス信号Address[0]により指定される偶数CAMワード28または奇数CAMワード30に書き込まれる。

【0081】また、信号Global_mask[i] = 0で、信号Binary = 0の場合、すなわち、グローバルマスクが指定されておらず、CAM装置10を3

値のCAM装置として使用する場合、ANDゲート60からは信号Local_mask_in[i] が出力される。

【0082】ここで、信号Local_mask_in[i] = 1の場合、すなわち、ローカルマスクが指定された場合、セクタ62a, 62bからはそれぞれ1および0が出力される。これにより、信号Even_wd[i], /Even_wd[i] および信号Odd_wd[i], /Odd_wd[i] はそれぞれ1, 0および0, 1になる。すなわち、偶数CAMワード28には1、奇数CAMワード30には0が書き込まれる。

【0083】一方、信号Local_mask_in[i] = 0の場合、すなわち、ローカルマスクが指定されていない場合、信号Even_wd[i] および信号Odd_wd[i] は信号Local_data_in[i] と同じレベル、信号/Even_wd[i] および信号/Odd_wd[i] は信号Local_data_in[i] の反対のレベルになる。すなわち、外部から入力される記憶データがそのまま偶数CAMワード28および奇数CAMワード30に書き込まれる。

【0084】続いて、検索データ用回路56は、信号Binaryに応じて、外部から入力される信号Search_data[i] を、内部で使用する信号Even_sd[i], /Even_sd[i] および信号Odd_sd[i], /Odd_sd[i] に変換するもので、4つのANDゲート66a, 66b, 66c, 66dから構成されている。

【0085】ANDゲート66a, 66cの第1の入力端子およびANDゲート66b, 66dの第1の入力端子（反転入力）には信号Search_data[i] が、ANDゲート66b, 66cの第2の入力端子には信号Binaryが入力されている。また、ANDゲート66a, 66dの第2の入力端子（反転入力）およびANDゲート66b, 66cの第3の入力端子（反転入力）には信号Global_mask[i] が共通に入力され、ANDゲート66a, 66b, 66c, 66dからは、それぞれ信号Even_sd[i], /Even_sd[i] および信号Odd_sd[i], /Odd_sd[i] が出力されている。

【0086】検索データ用回路56では、信号Global_mask[i] = 1の場合、すなわち、グローバルマスクが指定されると、無条件に、ANDゲート66a, 66b, 66c, 66dの出力は0、すなわち、信号Even_sd[i], /Even_sd[i] および信号Odd_sd[i], /Odd_sd[i] は全てロウレベルとなり、対応するビットiの一致検索は行われない（ドントケア）。

【0087】信号Global_mask[i] = 0で、信号Binary = 1の場合、すなわち、グローバルマスクが指定されておらず、CAM装置10を2値C

AM装置として使用する場合、信号Even_sd[i] および信号Odd_sd[i] は信号Search_data[i] と同じレベルとなり、信号/Even_sd[i] および信号/Odd_sd[i] は信号Search_data[i] の反対のレベルになる。

【0088】すなわち、外部から入力される検索データがそのまま偶数ワードアレイ12aおよび奇数ワードアレイ12bの検索データ用のビット線対SB、/SBに同時にドライブされる。

【0089】また、信号Global_mask[i] = 0で、信号Binary=0の場合、すなわち、グローバルマスクが指定されておらず、CAM装置10を3値のCAM装置として使用する場合、信号Even_sd[i] は信号Search_data[i] と同じレベル、信号/Odd_sd[i] は信号Search_data[i] の反対のレベルとなり、信号/Even_sd[i] および信号Odd_sd[i] は0になる。

【0090】すなわち、信号Search_data[i] = 0の場合、奇数ワードアレイ12bの検索データ用のビット線/SBだけがハイレベルにドライブされ、信号Search_data[i] = 1の場合、偶数ワードアレイ12aの検索データ用のビット線SBだけがハイレベルにドライブされる。

【0091】記憶データ（読み出しデータ）用回路58は、内部から読み出される信号Even_rd[i] および信号Odd_rd[i] を、外部へ出力される信号Local_mask_out[i] および信号Local_data_out[i] に変換するもので、2つのANDゲート68a、68bから構成されている。

【0092】ANDゲート68a、68bの第1の入力端子には信号Even_rd[i] が共通に入力され、ANDゲート68aの第2の入力端子（反転入力）およびANDゲート68bの第2の入力端子には信号Odd_rd[i] が共通に入力されている。また、ANDゲート68a、68bからは、それぞれ信号Local_mask_out[i] および信号Local_data_out[i] が出力されている。

【0093】記憶データ（読み出しデータ）用回路58では、CAM装置10を2値のCAM装置として使用する場合、アドレス信号Address信号[0]で指定される、偶数ワードアレイ12a用または奇数ワードアレイ12b用のローカルI/Oの内のどちらか一方のセンスアンプだけが活性化され、信号Even_rd[i] または信号Odd_rd[i] の一方にのみ有効なデータが出力される。なお、他方のスタンバイ時の状態はハイレベルとする。

【0094】したがって、信号Local_data_out[i] として、アドレス信号Address信号[0]で指定される信号Even_rd[i] または信

号Odd_rd[i] のどちらかが出力される。なお、記憶データの読み出し用のセンスアンプのスタンバイ時の状態はハイレベルに限定されず、ロウレベルの場合には、これに合わせて記憶データ（読み出しデータ）用回路58の論理を変更すればよい。

【0095】また、CAM装置10を3値のCAM装置として使用する場合、偶数ワードアレイ12a用および奇数ワードアレイ12b用のローカルI/Oのセンスアンプが同時に活性化され、信号Even_rd[i] および信号Odd_rd[i] に同時に有効なデータが出力される。

【0096】ここで、記憶データ（読み出しデータ）用回路58に、信号Even_rd[i] および信号Odd_rd[i] = 0、0が入力されると、すなわち、2ビット分の2値CAMセルを組み合わせることで実現した3値CAMセルに、記憶データとして0が記憶されている場合、信号Local_data_out[i] および信号Local_mask_out[i] = 0、0が出力される。

【0097】また、信号Even_rd[i] および信号Odd_rd[i] = 1、1が入力されると、すなわち、記憶データとして1が記憶されている場合、信号Local_data_out[i] および信号Local_mask_out[i] = 1、0が出力される。

【0098】また、信号Even_rd[i] および信号Odd_rd[i] = 1、0が入力されると、すなわち、記憶データとしてX（ドントケア）が記憶されている場合、信号Local_data_out[i] および信号Local_mask_out[i] = 0、1が出力される。

【0099】なお、論理データ→物理データ変換I/O回路14によるデータの変換処理は、CAM装置10の内部構造、例えばCAMメモリアレイ12をどのような2つのブロックに分割するのか、どのような2ビットの2値CAMセルを組み合わせるのか、2ビットの2値CAMセルで指定される4つの状態に対してどのように3値CAMセルの3つの状態を割り当てるのか等に応じて変更する必要があるのは当然のことである。

【0100】また、本実施例では、CAM装置10を2値のCAM装置として使用する場合も、3値のCAM装置として使用する場合も、従来の2値および3値のCAM装置と同じ使用方法で利用可能とするために、記憶データや検索データの変換処理をしているが、これに限定されず、本発明独自の使用方法を採用し、論理データ→物理データ変換I/O回路14によるデータの変換処理後のデータを書き込むようにしてもよい。

【0101】続いて、図1に示すCAM装置10において、ローカルI/O16は、偶数ワードアレイ12a用および奇数ワードアレイ12b用のローカルI/Oをそれぞれ備えている。各々のローカルI/Oは、記憶デー

タ用のビット線対BL, /BL、検索データ用のビット線対SB, /SB、各々のCAMワードから読み出される記憶データをドライブする。

【0102】各々のローカルI/Oは、検索データ用のビット線対SB, /SBのドライバ、記憶データ用のビット線対BL, /BLの書き込み用のドライバ、同読み出し用のセンスアンプ、同プリチャージ回路等により構成される。各構成回路の動作は、次のローカルI/Oコントロール回路18で発生される制御信号により制御される。

【0103】ローカルI/Oコントロール回路18は、最下位ビットのアドレス信号Address [0] および信号Binaryに応じて、偶数ワードアレイ用および奇数ワードアレイ用の各ローカルI/Oの動作を制御する、信号Even_sre, Odd_sre、信号Even_wre, Odd_wre、信号Even_rde, Odd_rdeおよび信号Even_blp c, Odd_blp c等の各種の制御信号を発生する。

【0104】ここで、信号Even_sre, Odd_sreは、検索データ用のビット線対SB, /SBのドライブを指示する信号である。

【0105】信号Even_wre, Odd_wreは、記憶データ用のビット線対BL, /BLのドライブを指示する信号である。

【0106】CAM装置10を2値のCAM装置として使用する場合、アドレス信号Address [0] に対応する信号Even_wre, Odd_wreの内の一方のみがイネーブルとされ、ペアの偶数CAMワードおよび奇数CAMワードの内の一方にのみ書き込みが行われる。これに対し、CAM装置10を3値のCAM装置として使用する場合、アドレス信号Address [0] の状態に係わらず、信号Even_wre, Odd_wreの両方がイネーブルとされ、ペアの偶数CAMワードおよび奇数CAMワードの両方に同時に書き込みが行われる。

【0107】また、信号Even_rde, Odd_rdeは、記憶データ用のビット線対BL, /BLのセンスアンプイネーブルである。

【0108】記憶データの書き込みの場合と同じように、CAM装置10を2値のCAM装置として使用する場合、ペアの偶数CAMワードおよび奇数CAMワードの内、アドレス信号Address [0] に対応するCAMワードからのみ記憶データの読み出しが行われる。これに対し、CAM装置10を3値のCAM装置として使用する場合、ペアの偶数CAMワードおよび奇数CAMワードの両方から同時に記憶データの読み出しが行われる。

【0109】信号Even_blp c, Odd_blp cは、記憶データ用のビット線対BL, /BLのプリチャージを指示する信号で、記憶データの読み出し（リー

ド）時および書き込み（ライト）時に、記憶データ用のビット線対BL, /BLに対するプリチャージを停止する。なお、ローカルI/Oコントロール回路18で発生される各種の制御信号は、タイミング発生回路20で発生されるタイミング信号に同期して出力される。

【0110】続いて、図1に示すCAM装置10において、デコード22は、最下位ビットを除くN-1ビットのアドレス信号Address [N-1:1] をデコードし、これに対応した2ワード分のCAMワード、すなわち、ペアの偶数CAMワードおよび奇数CAMワードを指定する共通ワード線をドライブする。この共通ワード線によりドライブされる2ワード分のCAMワードの内、前述のローカルI/Oコントロール回路18により、アドレス信号Address [0] で指定されるCAMワードに対して記憶データの書き込みまたは読み出しが行われる。

【0111】優先順位エンコード24は、CAMメモリアレイ12に含まれる全てのCAMワードから、それぞれ一致線Match_0, Match_1, Match_2, ..., Match_2^{N-1}を介して入力される一致線出力に基づいて、一致が検出されたCAMワードのメモリアドレスを所定の優先順位に従って順次エンコードし、これを最優先順位ヒットアドレスHHA [N-1:0] として順次出力する。

【0112】本発明のCAM装置10は、2値CAMセルを基本として構成され、2ビット分の2値CAMセルを組み合わせる3値CAMセルとして使用するので、2値のCAM装置としても3値のCAM装置としても利用可能であり、2値のCAM装置として使用する場合には従来の2値のCAM装置と同じように、また、3値のCAM装置として使用する場合には従来の3値のCAM装置と同じように動作する。

【0113】次に、本発明の適用範囲を明確化するために、本発明のCAM装置の別の例について説明する。

【0114】図6は、本発明の連想メモリ装置の別の実施例の構成概略図である。同図に示すCAM装置70は、図1に示すCAM装置10において、さらに、3つのセレクト72a, 72b, 72cと、レジスタ74とを備え、外部から書き込まれる検索データと記憶データとマスクデータのデータ線、内部で使用する記憶データと検索データのデータ線対、および、外部へ読み出される記憶データとマスクデータのデータ線をそれぞれ共通化したものである。

【0115】ここで、論理データ-物理データ変換I/O回路14には、外部から信号Search_data [m-1:0]、信号Local_data_in [m-1:0] および信号Local_mask_in [m-1:0] を共通化した信号in [m-1:0] が入力されている。また、この信号in [m-1:0] はレジスタにも入力され、レジスタの出力は、論理データ-物

10

20

30

40

50

理データ変換I/O回路14へ入力されている。

【0116】信号in[m-1:0]として、記憶データ(信号Local_data_in[m-1:0])およびマスクデータ(信号Local_mask_in[m-1:0])と、検索データ(信号Search_data[m-1:0])とが時分割にされる。レジスタ74には、記憶データおよびマスクデータの内の先に入力されたデータが保持され、後から入力されるデータと共に論理データ-物理データ変換I/O回路14へされる。

【0117】セクタ72aには、論理データ-物理データ変換I/O回路14から、信号Even_wd[m-1:0], /Even_wd[m-1:0]および信号Even_sd[m-1:0], /Even_sd[m-1:0]が入力され、セクタ72aからは、信号Even_swd[m-1:0], /Even_swd[m-1:0]が出力され、偶数ワードアレイ12aに対応するローカルI/Oへされている。

【0118】同じように、セクタ72bには、論理データ-物理データ変換I/O回路14から、信号Odd_wd[m-1:0], /Odd_wd[m-1:0]および信号Odd_sd[m-1:0], /Odd_sd[m-1:0]が入力され、セクタ72bからは、信号Odd_swd[m-1:0], /Odd_swd[m-1:0]が出力され、奇数ワードアレイ12aに対応するローカルI/Oへされている。

【0119】また、セクタ72cには、論理データ-物理データ変換I/O回路14から、信号Local_data_out[m-1:0]および信号Local_mask_out[m-1:0]が入力され、セクタ72cからは、信号out[m-1:0]が外部へ出力されている。

【0120】図6に示すCAM装置70では、データ線を共通化し、共通化されたデータ線を時分割に使用することにより、内部のデータ線の本数を削減すると共に、入出力ピンも削減することができる。

【0121】次に、本発明のCAM装置で利用可能なCAMワードの別の例を挙げて説明する。

【0122】既に述べたように、本発明のCAM装置では、2ビットの2値CAMセルの組合せは何ら限定されず、任意の2ビットの2値CAMセルを組み合わせて3値CAMセルの機能を実現することができる。

【0123】図7に示すCAMワード76は、同一CAMワード内の2ビット分の2値CAMセル、図示の場合、偶数ビットと奇数ビットとを組み合わせる3値CAMセルの機能を実現するものである。

【0124】このように2ビットの2値CAMセルを組み合わせる3値CAMセルの機能を実現する場合、1ワードのビット幅は半分になる。また、図1に示すCAM装置10では、CAMメモリアレイ12を偶数ワードア

レイ12aと奇数ワードアレイ12bに分けて別々に制御しているが、図7に示すCAMワード76を用いて本発明のCAM装置を構成した場合、CAMワードを偶数ビットと奇数ビットに分けて別々に制御するようにすればよい。

【0125】図8(a)は、CAM装置を2値のCAM装置として使用した場合の、外部の記憶データと内部の記憶データ(記憶セルデータ)との関係、および、検索データと検索データ用のビット線対との関係を表す対応表、同図(b)は、CAM装置を3値のCAM装置として使用した場合の、外部の記憶データと、従来の3値のCAM装置において、記憶データとして0, 1, X(ドントケア)を書き込む場合に入力される記憶セルデータおよびマスクセルデータ(論理データ)と、内部の記憶データ(物理データ)との関係、ならびに、検索データと検索データ用のビット線対(偶数ビットおよび奇数ビット)との関係を表す対応表である。

【0126】図2に示すCAMワード対26を用いて構成されたCAM装置10では、検索データ用のビット線対SB, /SBが偶数ワードアレイおよび奇数ワードアレイ別々に制御されるのに対して、図7に示すCAMワード76を用いて構成されたCAM装置では、偶数ビットおよび奇数ビットが別々に制御される点を除いて、図7に示すCAMワード76を用いて構成されたCAM装置の動作は、この対応表に示すように、基本的にCAM装置10と同じである。

【0127】なお、図示例では、偶数ビットと奇数ビットを組み合わせる3値CAMセルの機能を実現しているが、同一CAMワード内の2ビットの2値CAMセルをどのように組み合わせてもよい。

【0128】続いて、図9に示すCAMワード対78は、同一CAMワード内の2ビット分の2値CAMセル、図示の場合、偶数ビットと奇数ビットとを組み合わせる3値CAMセルの機能を実現するか、CAMワード対78に含まれる2つのCAMワード、図示の場合、偶数CAMワード28に含まれる各々のビットと奇数CAMワード30に含まれる各々のビットとを組み合わせる3値CAMセルの機能を実現するかどちらにも設定可能なものである。

【0129】図9に示すCAMワード対78は、図2に示すCAMワード対26において、制御回路32の構成を変更したものである。図9に示すCAMワード対78において、制御回路80は、ANDゲート82と、インバータ84と、スイッチ回路86とを備えている。また、スイッチ回路86は、N型MOSトランジスタ(以下、NMOSという)とP型MOSトランジスタ(以下、PMOSという)とにより構成されている。

【0130】ここで、ANDゲート82には、信号Binaryおよび偶数CAMワード28の一致線出力が入力されている。また、スイッチ回路86のNMOSおよ

びPMOSは、偶数CAMワード28の一致線出力と奇数CAMワード30の一致線出力との間に並列に接続され、NMOSのゲートにはインバータ84を介して信号Binaryが入力され、PMOSのゲートには信号Binaryが直接入力されている。

【0131】このCAMワード対78を用いて構成されたCAM装置を2値のCAM装置として使用した場合（信号Binary=1）、スイッチ回路86はオフする。これにより、ANDゲート82からは、偶数CAMワード28の一致線出力が出力され、偶数CAMワード28の一致線出力と奇数CAMワード30の一致線出力は電氣的に分離され、偶数CAMワード28および奇数CAMワード30は1ワードずつ独立に機能する。

【0132】一方、CAMワード対78を用いて構成されたCAM装置を3値のCAM装置として使用した場合（信号Binary=0）、ANDゲート82の出力はロウレベルとなり、スイッチ回路86はオンする。これにより、偶数CAMワード28の一致線出力と奇数CAMワード30の一致線出力が電氣的に接続され、奇数CAMワード30を代表ワードとして、偶数CAMワード28と奇数CAMワード30のAND検索が行われる。

【0133】本発明の連想メモリ装置およびその構成方法は、基本的に以上のようなものである。以上、本発明の連想メモリ装置およびその構成方法について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0134】

【発明の効果】以上詳細に説明した様に、本発明の連想メモリ装置は、本発明の連想メモリ装置の構成方法を適用して構成されたもので、2値のデータを設定可能な2値CAMセルを用いて構成され、2値CAMセルを2値CAMセルとして使用し、当該連想メモリ装置を2値連想メモリ装置として使用するか、2ビット分の2値CAMセルを組み合わせる3値CAMセルとして使用し、当該連想メモリ装置を3値連想メモリ装置として使用するかを設定可能に構成されたものである。また、本発明の連想メモリ装置の構成方法は、2ビット分の2値CAMセルを組み合わせる3値CAMセルの機能を実現するものである。これにより、本発明の連想メモリ装置およびその構成方法によれば、2値/3値のどちらの連想メモリ装置としても使用することができ、2値の連想メモリ装置として使用した場合にも記憶ビットが無駄にならないという利点がある。

【図面の簡単な説明】

【図1】 本発明の連想メモリ装置の一実施例の構成概略図である。

【図2】 本発明の連想メモリ装置で用いられるCAMワード対の一実施例の構成概略図である。

【図3】 本発明の連想メモリ装置で用いられる2値C

AMセルの一実施例の構成回路図である。

【図4】 (a) は、CAM装置を2値のCAM装置として使用した場合の、外部の記憶データと内部の記憶データ（記憶セルデータ）との関係、および、検索データと検索データ用のビット線対との関係を表す対応表、

(b) は、CAM装置を3値のCAM装置として使用した場合の、外部の記憶データと、従来の3値のCAM装置において、記憶データとして0、1、X（ドントケア）を書き込む場合に入力される記憶セルデータおよびマスクセルデータ（論理データ）と、内部の記憶データ（物理データ）との関係、ならびに、検索データと検索データ用のビット線対との関係を表す対応表である。

【図5】 本発明の連想メモリ装置で用いられる論理データ-物理データ変換I/O回路の一実施例の構成回路図である。

【図6】 本発明の連想メモリ装置の別の実施例の構成概略図である。

【図7】 本発明の連想メモリ装置で用いられるCAMワードの別の実施例の構成概略図である。

【図8】 (a) は、CAM装置を2値のCAM装置として使用した場合の、外部の記憶データと内部の記憶データ（記憶セルデータ）との関係、および、検索データと検索データ用のビット線対との関係を表す対応表、

(b) は、CAM装置を3値のCAM装置として使用した場合の、外部の記憶データと、従来の3値のCAM装置において、記憶データとして0、1、X（ドントケア）を書き込む場合に入力される記憶セルデータおよびマスクセルデータ（論理データ）と、内部の記憶データ（物理データ）との関係、ならびに、検索データと検索データ用のビット線対との関係を表す対応表である。

【図9】 本発明の連想メモリ装置で用いられるCAMワードの別の実施例の構成概略図である。

【図10】 従来の連想メモリ装置の一実施例の構成概念図である。

【図11】 従来の連想メモリ装置で用いられる2値CAMセルの一例の構成回路図である。

【図12】 従来の連想メモリ装置で用いられる3値CAMセルの一例の構成回路図である。

【符号の説明】

10, 70, 90 連想メモリ (CAM) 装置
12, 92 CAMメモリアレイ
12a 偶数ワードアレイ
12b 奇数ワードアレイ
14 論理データ-物理データ変換I/O回路
16 ローカルI/O
18 ローカルI/Oコントロール回路
20 タイミング発生回路
22, 96 デコーダ
24, 98 優先順位エンコーダ
26, 78 CAMワード対

23

24

28, 30, 76 CAMワード
 32, 80 制御回路
 34, 38, 60, 66a, 66b, 66c, 66d,
 68a, 68b, 82 ANDゲート
 36, 64a, 64b, 64c, 64d ORゲート
 40, 100, 106 CAMセル
 42, 102 データ記憶部
 44, 110 一致比較部
 46a, 46b, 84, 112a, 112b インバー
 タ
 48a, 48b, 50a, 50, 52a, 52b, 11

4a, 114b, 116 N型MOSトランジスタ (N
 MOS)

54 記憶データ (書き込みデータ) 用回路

56 検索データ用回路

58 記憶データ (読み出しデータ) 用回路

62a, 62b, 72a, 72b, 72c セレクタ

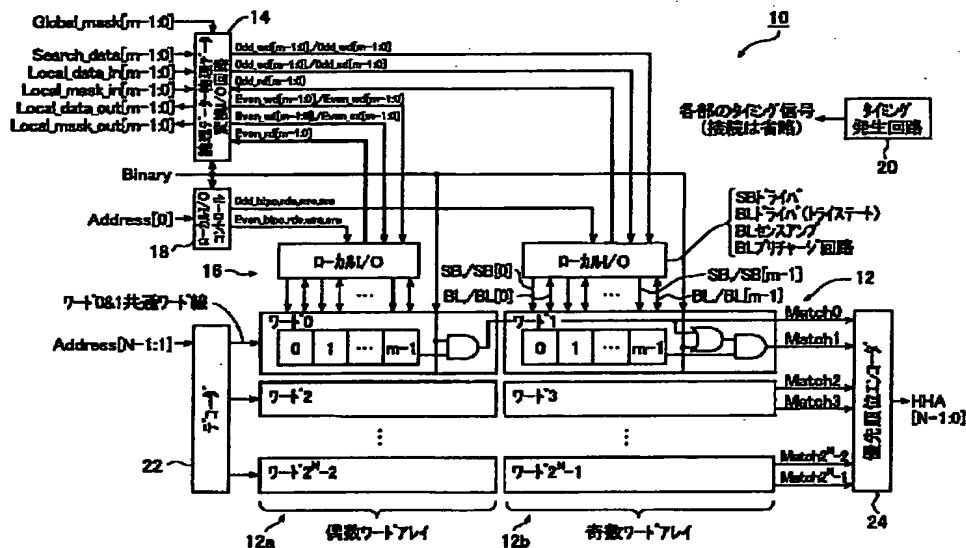
74 レジスタ

86 スイッチ回路

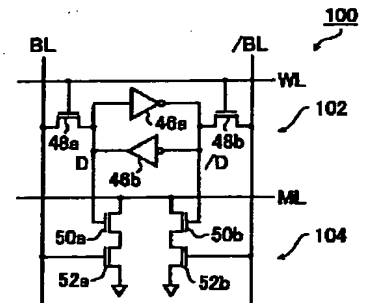
94 I/O (入出力) 回路

10 108 マスク記憶部

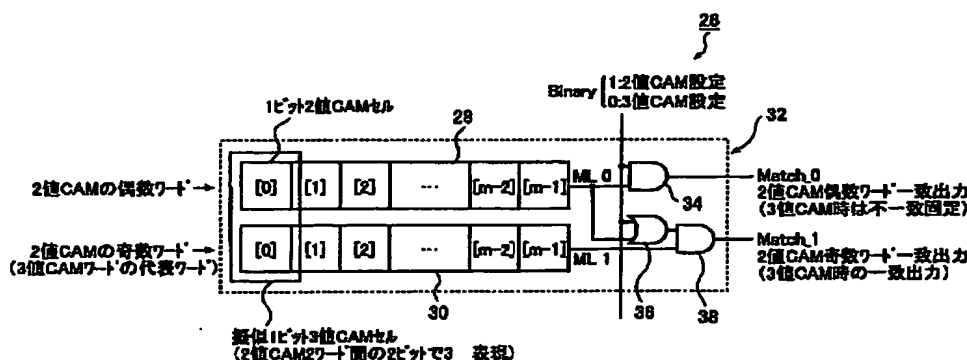
【図1】



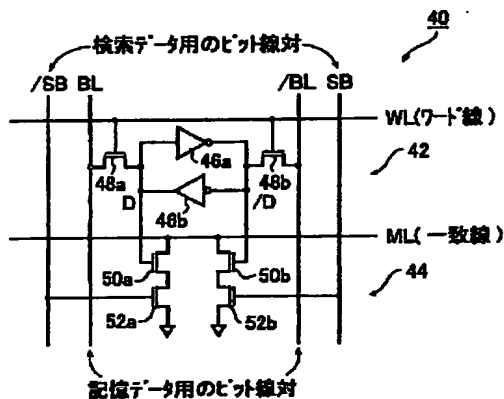
【図11】



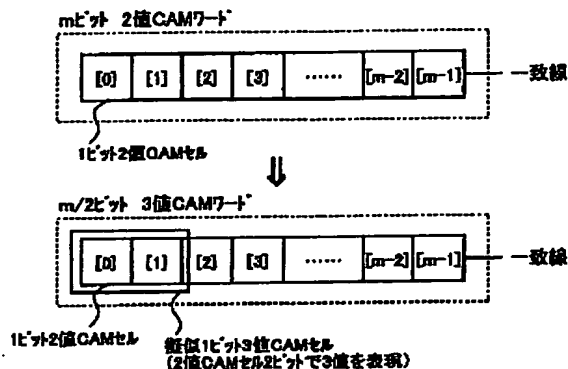
【図2】



【図 3】



【図 7】



【図 4】

(a)

2値CAM設定時のデータ登録値、および検索データ出力値の対応表

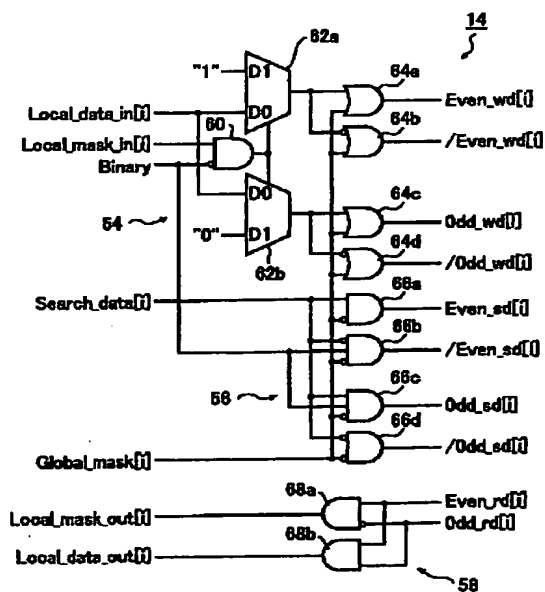
記憶データ	記憶セルデータ(D)	検索データ	検索ビット線出力(SB/SB)
0	0	0	0ドライブ(0,1)
1	1	1	1ドライブ(1,0)
		トントクア	トントクア(0,0)

(b)

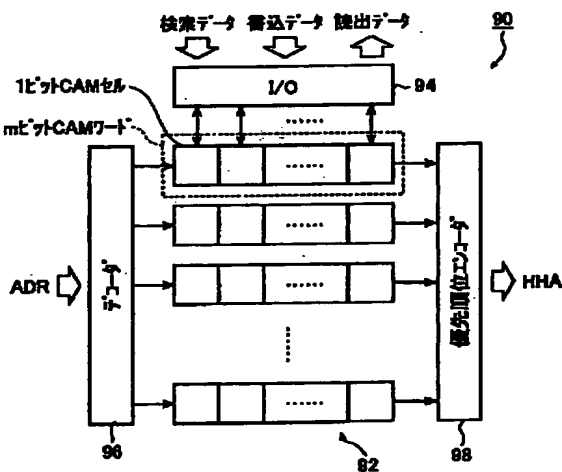
3値CAM設定時の論理データ(外部仕様: 従来3値CAM仕様)登録値、物理データ登録値、および検索データ出力値の対応表

記憶データ	論理データ(従来3値CAMデータ)		物理データ(本発明の内部データ)		検索データ	検索ビット線出力(SB/SB)	
	記憶セルデータ	マスクセルデータ	偶数ワードセル	奇数ワードセル		偶数ワード	奇数ワード
0	0	0	0	0	0	トントクア(0,0)	0ドライブ(0,1)
1	1	0	0	1	1	1ドライブ(1,0)	トントクア(0,0)
トントクア	X(不定)	1	1	0	トントクア	トントクア(0,0)	トントクア(0,0)

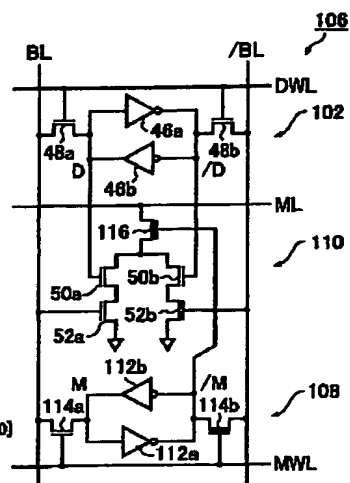
【図 5】



【図 10】



【☒ 1 2】



(a)

記憶データ	記憶ホドデータ(D)	検索データ	検索ヒット検出力(SB/SB)
0	0	0	0タイプ(0,1)
1	1	1	1タイプ(1,0)
		ドント7	ドント7(0,0)

記憶データ	論理データ(従来3値CAMデータ)	物理データ(本発明の内部データ)	検索データ	検査ビット線出力(SB/SB)
	記憶セルデータ	マスクセルデータ	偶数ビットセル	奇数ビットセル
0	0	0	0	0
1	1	0	1	1
ドントケア	X(不定)	1	1	0

【例 9】

